



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:**

103 08 872.5

**Anmeldetag:**

28. Februar 2003

**Anmelder/Inhaber:**

Infineon Technologies AG, 81669 München/DE

**Bezeichnung:**

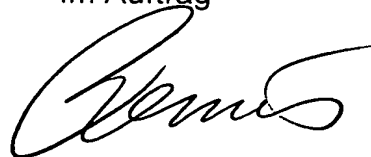
Integrierte Halbleiterschaltung mit einem Zellenfeld  
mit einer Vielzahl von Speicherzellen

**IPC:**

H 01 L 27/108

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 17. Februar 2004  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag



**Remus**

## Beschreibung

Integrierte Halbleiterschaltung mit einem Zellenfeld mit einer Vielzahl von Speicherzellen

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung mit einem Zellenfeld mit einer Vielzahl von Speicherzellen, die jeweils einen Auswahltransistor und einen Speicherkondensator aufweisen und die durch Bitleitungen und Wortleitungen elektrisch ansteuerbar sind,

10

- wobei die Speicherkondensatoren, die Bitleitungen und die Wortleitungen in verschiedenen Ebenen auf oder in einem Halbleitersubstrat angeordnet sind,
- wobei in Höhe der Wortleitungen elektrische Kontaktstrukturen angeordnet sind, die die Bitleitungen mit den Auswahltransistoren der Speicherzellen elektrisch verbinden,
- wobei die Kontaktstrukturen an den Wortleitungen vorbeiführen und gegenüber den Wortleitungen durch seitliche Isolierungen isoliert sind, und
- wobei jeweils mindestens zwei Bitleitungen an einen gemeinsamen Signalverstärker angeschlossen sind.

15

20

In solchen Halbleiterschaltungen werden in den Speicherkondensatoren der Speicherzellen gespeicherten Informationen durch das Aktivieren der Bitleitungen und Wortleitungen ausgelesen, wobei zur Identifizierung eines Speicherzustandes das elektrische Potential zweier Bitleitungen von einem Signalverstärker erfaßt wird. Der Signalverstärker (sense amplifier) wirkt als Spannungsdifferenzverstärker, der nach dem Lesen des Potentials einer geöffneten Bitleitung dieses Signal verstärkt in die geöffnete Speicherzelle zurückschreibt.

25

30

35

Jede Speicherzelle wird durch das Aktivieren zuerst einer Wortleitung und danach einer Bitleitung ausgelesen, wodurch im Falle eines Feldeffekttransistors als Auswahltransistor der Inversionskanal die elektrische Verbindung zwischen dem Speicherkondensator, beispielsweise einem Grabenkondensator,

und der Bitleitung herstellt. Die Wortleitung dient im Bereich des Transistors als Gate-Elektrode. Eines der Source/Drain-Gebiete ist leitend mit dem Grabenkondensator verbunden; das andere Source/Drain-Gebiet ist durch einen Bit-

5 leitungskontakt mit der diesem Transistor zugeordneten Bitleitung elektrisch verbunden. Die Gate-Elektrode bildet zusammen mit dem Gateoxid und einer schützenden Isolations-

10 schicht, meist einer Nitridschicht, einen strukturierten Gate-Schichtenstapel, dessen Seitenwände mit einem Spacer, d.h. einer isolierenden Seitenwandbedeckung zur Seite hin elektrisch isoliert sind. Zwischen einander benachbarten, mit

Spacern ausgestatteten Wortleitungen sind die Bitleitungskontakte angeordnet, die die höhergelegenen Bitleitungen mit den Source/Drain-Gebieten der Auswahltransistoren elektrisch ver-

15 binden. Die Kontaktstrukturen oder Bitleitungskontakte verbinden somit eine obere Ebene der Bitleitungen mit einer unteren Ebene der Dotiergebiete der Auswahltransistoren und verlaufen durch eine mittlere Ebene, in der die Wortleitungen angeordnet sind.

20

In heutigen Halbleiterschaltungen, insbesondere Speicherschaltungen treten aufgrund der engen räumlichen Anordnung verschiedenster Strukturen Störeffekte auf, die das elektrische Schaltverhalten nachteilig beeinflussen. Ein Störfaktor

25 ist die lediglich durch die dünnen Seitenwandbedeckungen der Wortleitungen gebildete seitliche Isolierung der Wortleitungen gegenüber den Kontaktstrukturen bzw. Bitleitungskontakten, wodurch parasitäre Kapazitäten gebildet werden.

30 Beim Auslesen einer Speicherzelle werden sowohl die Wortleitung als auch die Bitleitung, in deren Kreuzungspunkt sich der Auswahltransistor der Speicherzelle befindet, aktiviert. Dabei fließt die in Speicherkondensator gesammelte elektrische Ladung über den Auswahltransistor aus der Zelle heraus

35 bzw. verteilt sich auf die Zelle und die angeschlossene Bitleitung bis hin zum Signalverstärker. Dadurch schwächt sich das elektrische Potential, das am entsprechenden Bitleitungs-

anschluß des Signalverstärkers nun anliegt, gegenüber dem elektrischen Potential der vorher in dem Speichertransistor gespeicherten Ladung ab. Dennoch bleibt eine Potentialdifferenz im Vergleich zu einer anderen, meist benachbarten Bitleitung meßbar, die mit keinem der angeschlossenen Speicherkondensatoren kurzgeschlossen ist.

Aufgrund dieser parasitären Kapazität entsteht somit ein zusätzlicher Potentialbeitrag, der das aufgrund der Kondensatorkapazität und der Bitleitungskapazität erwartete elektrische Potential am Signalverstärkereingang überlagert. Am anderen Eingang des Signalverstärkers liegt eine nicht aktivierte Bitleitung an, bei der eine vergleichbare parasitäre Kapazität nicht auftritt. Im Signalverstärker wird somit die eigentlich zu messende Potentialdifferenz beider Bitleitungen durch die parasitäre Kapazität der aktivierten Bitleitung überlagert.

Solche parasitären Effekte werden herkömmlich durch höhere Betriebsspannungen und entsprechend höhere Ladungsmengen einer integrierten Halbleiterschaltung kompensiert. Dadurch steigt jedoch der Stromverbrauch, die Wärmezufuhr und der Platzbedarf der integrierten Halbleiterschaltung pro Speicherzelle.

Es ist die Aufgabe der vorliegenden Erfindung, den Einfluß parasitärer Kapazitäten zwischen Bitleitungskontakten und Wortleitungen zu beseitigen, ohne die Betriebsspannung der Halbleiterschaltung zu erhöhen. Insbesondere soll der Einfluß parasitärer Kapazitäten, die an Seitenwandbedeckungen strukturierter Wortleitungen zu benachbarten Kontaktstrukturen von Bitleitungen auftreten, verringert werden.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß

- mindestens eine erste und eine zweite zusätzliche Wortleitung vorgesehen sind, die nicht zum Ansteuern von Auswahltransistoren einsetzbar sind,

- daß jede Bitleitung sich bis zur ersten oder zweiten zusätzlichen Wortleitung erstreckt und mit einer zusätzlichen Kontaktstruktur verbunden ist, die seitlich an einer der beiden zusätzlichen Wortleitungen vorbeiführt und einen Blindkontakt darstellt, und
- daß je zwei Bitleitungen, deren zusätzliche Kontaktstrukturen an verschiedenen zusätzlichen Wortleitungen vorbeiführen, an denselben Signalverstärker angeschlossen sind.

Erfindungsgemäß sind außer den Wortleitungen, die jeweils Reihen von Auswahltransistoren ansteuern, zusätzliche Wortleitungen, und zwar mindestens zwei und insbesondere genau zwei pro Speicherzellenfeld vorgesehen, die keine unmittelbare Verbindung zu Auswahltransistoren besitzen. Diese Wortleitungen sind Kompensationsleitungen oder Dummy-Wortleitungen, die nur zum Ausgleich der parasitären Kapazitäten dienen, welche innerhalb des Zellenfeldes an den die Auswahltransistoren ansteuernden, deren Gate-Elektroden bildenden Wortleitungen auftreten. Jede Bitleitung des Zellenfeldes erstreckt sich auch außerhalb des Zellenfeldes bis zur ersten oder bis zur zweiten zusätzlichen Wortleitung, und erfindungsgemäß sind dort weitere Kontaktstrukturen, nämlich Blindkontakte oder Dummy-Kontakte vorgesehen, welche in gleicher Weise und in gleicher Geometrie wie die innerhalb des Speicherzellenfeldes die Speicherzellen ansteuernden Kontaktstrukturen ausgebildet sind. Die Blindkontaktstrukturen enden auf einer Isolationsschicht und stellen daher keinen wirklichen Kontakt her. Von Bedeutung ist jedoch die parasitäre Kapazität, die an der Seitenwandbedeckung der jeweils benachbarten ersten oder zweiten zusätzlichen Wortleitung auftritt. Diese zusätzliche Kapazität beeinflußt die Kapazität der Bitleitung, an welche der betreffende Blindkontakt angeschlossen ist, so daß auch am Signalverstärkereingang dieser Bitleitung das elektrische Potential verändert wird. Diese zusätzliche Kapazität dient zur Kompensation der parasitären Kapazität derjenigen anderen, zweiten Bitleitung, die an denselben Signalverstärker ebenfalls angeschlossen ist. Somit gleicht sich im Diffe-

renzverstärker der Einfluß beider Kapazitäten aus. Dadurch ist ein wesentlicher Störfaktor beim Auslesen digitaler Speicherinhalte beseitigt, und die herkömmlich eingesetzte, überhöhte Betriebsspannung zumindest im Bereich des Zellenfeldes kann verringert werden; gleichzeitig erhöht sich die Zuverlässigkeit des Ausleseergebnisses.

10 Vorzugsweise ist vorgesehen, daß je zwei einander benachbarte Bitleitungen an denselben Signalverstärker angeschlossen sind. Insbesondere beim folded bitline-Aufbau integrierter Halbleiterspeicher wird beim Auslesen einer Bitleitung als Referenzpotential dasjenige einer dieser Bitleitung benachbarten Bitleitung verwendet.

15 Vorzugsweise ist vorgesehen, daß die zusätzlichen Kontaktstrukturen einander benachbarter Bitleitungen abwechselnd an der ersten zusätzlichen Wortleitung und an der zweiten zusätzlichen Wortleitung vorbeiführen. Dieser Ausführungsform gewährleistet gerade in Verbindung mit dem folded bitline-  
20 Aufbau eine Kompensation parasitärer Kapazitäten, da von zwei benachbarten Bitleitungen, von denen jeweils eine ausgelesen wird, die andere einen Blindkontakt besitzt, der entweder an der ersten zusätzlichen Wortleitung oder an der zweiten zusätzlichen Wortleitung vorbeiführt. Das gleichzeitige Aktivieren dieser ersten oder zweiten zusätzlichen Wortleitung zusätzlich zur Wortleitung, mit der die betreffende auszulesende Speicherzelle angesteuert wird, ermöglicht die Ausbildung einer kompensierenden parasitären Kapazität an der zweiten, nicht auszulesenden Bitleitung.

30

Vorzugsweise ist vorgesehen, daß jede der beiden zusätzlichen Wortleitungen gemeinsam mit einer beliebigen Wortleitung aktivierbar ist, an der Kontaktstrukturen ausschließlich derjenigen Bitleitungen vorbeiführen, die keine an der jeweiligen  
35 zusätzlichen Wortleitung vorbeiführende zusätzliche Kontaktstruktur besitzen. Diese Ausführungsform zufolge ist jeder der zum Ansteuern von Speicherzellen benötigten Wortleitungen

eine der beiden zusätzlichen Wortleitungen, also die erste oder die zweite zusätzliche Wortleitung, zugeordnet und wird gleichzeitig mit ihr aktiviert. Die Zuordnung geschieht in der Weise, daß für eine bestimmte Bitleitung, die beispielsweise einen der ersten zusätzlichen Wortleitungen benachbarten Blindkontakt besitzt, diese zusätzliche Wortleitung jeder der Wortleitungen im Zellenfeld zugeordnet ist, für die die betreffende Bitleitung keinen an dieser jeweiligen Wortleitung im Zellenfeld vorbeiführenden Bitleitungskontakt besitzt. Umgekehrt ist einer solchen zusätzlichen Wortleitung, für die die betrachtete Bitleitung keinen benachbarten Blindkontakt besitzt, all denjenigen Wortleitungen des Zellenfeldes zugeordnet, für die die betrachtete Bitleitung gerade einen an dieser jeweiligen Wortleitung des Zellenfeldes vorbeiführenden Bitleitungskontakt besitzt. Somit entsteht an allen Signalverstärkereingängen eine Potentialveränderung aufgrund einer parasitären Kapazität, und zwar entweder aufgrund der geöffneten Speicherzelle oder erfindungsgemäß aufgrund des Blindkontaktes der zugeordneten zusätzlichen Dummy-Wortleitung. Das gemessene Differenzpotential ist somit um die parasitären Kapazitäten bereinigt.

Vorzugsweise ist vorgesehen, daß die Speicherkondensatoren in dem Halbleitersubstrat ausgebildete Grabenkondensatoren sind und daß die Bitleitungen in einem größeren Abstand von dem Halbleitersubstrat auf dem Halbleitersubstrat angeordnet sind als die Wortleitungen.

Insbesondere ist vorgesehen, daß die zusätzlichen Kontaktstrukturen, die an den zusätzlichen Wortleitungen vorbeiführen, auf einer Grabenisolation des Halbleitersubstrats enden, wohingegen die Kontaktstrukturen der übrigen Wortleitungen jeweils in ein gemeinsames Dotiergebiet zweier Auswahltransistoren münden. Die Grabenisolationen befinden sich unterhalb der Bitleitungskontakte, die an den beiden zusätzlichen Wortleitungen benachbart zu ihnen vorbeiführen; die übrigen Bit-

leitungskontakte grenzen an zwei Auswahltransistoren an, von denen einer durch die aktivierte Wortleitung geöffnet wird.

Vorzugsweise ist vorgesehen, daß die erste und die zweite zusätzliche Wortleitung nebeneinander an einem Rand des Zellenfeldes angeordnet sind. Alternativ dazu können sie auch auf gegenüberliegenden Rändern des Zellenfeldes oder bei geteilten Zellenfeld mit mehreren Teilfeldern innerhalb des Feldes angeordnet sein.

Vorzugsweise sind die Auswahltransistoren Feldeffekttransistoren, deren Gate-Elektroden durch die Wortleitungen gebildet sind. Insbesondere sind die seitlichen Isolierungen zwischen den Kontaktstrukturen und den Wortleitungen vorzugsweise Seitenwandbedeckungen, d.h. Spacer strukturierter Gate-Schichtenstapeln.

Die erfindungsgemäß ausgebildete Halbleiterschaltung ist vorzugsweise ein dynamischer Schreib-Lese-Speicher, d.h. ein DRAM (dynamic random access memory).

Die Erfindung wird nachstehend mit Bezug auf die Figuren beschrieben. Es zeigen:

Figur 1 eine Speicherzelle einer integrierten Halbleiterschaltung,

Figur 2 eine herkömmliche integrierte Halbleiterschaltung,

Figur 3 eine erfindungsgemäße Halbleiterschaltung und

die Figuren 4A und 4B Querschnittansichten von zwei einander benachbarten Bitleitungen aus Figur 3.



Figur 1 zeigt eine Speicherzelle 20, wie sie typischerweise im Zellenfeld eines integrierten Halbleiterspeichers 10 im Falle eines vergrabenen Kondensators 25 mit planarem Auswahltransistor 15 ausgebildet ist. Der Auswahltransistor wird durch das Aktivieren einer Wortleitung 2, die die Gate-Elektrode des Transistors bildet, und einer Bitleitung 1, die über eine Kontaktstruktur 3 mit einem der Source/Drain-Gebiete 6 des Transistors verbunden ist, geöffnet. Der Grabenkondensator 25 besitzt nicht näher bezeichnete Elektroden, von denen eine tief im Substrat 5 vergraben ist und die andere die Füllung des tiefen Grabens (Deep Trench) innerhalb des Kondensatordielektrikums an der Grabenwandung bildet. Der Speicherkondensator befindet sich somit im wesentlichen in einer unteren Ebene E3, die bis tief in das Substratinnere hinunterreicht. Oberhalb der Substratoberfläche, auf einer Gateoxidschicht 16, befindet sich in Höhe einer Ebene E2 die Gesamtheit der Wortleitungen 2 sowie in einer noch höheren Ebene E1 die Gesamtheit der Bitleitungen 1. In der mittleren Ebene E2 befinden sich die Kontaktstrukturen 3, die seitlich von den Wortleitungen 2 nur durch deren Spacer 4 isoliert sind, wodurch sich parasitäre Kapazitäten ausbilden können.

Figur 2 zeigt eine Draufsicht auf eine herkömmliche Halbleiterschaltung mit einer Vielzahl von Speicherzellen. Links sind Signalverstärker (Sense Amplifier) 30 dargestellt, an deren Eingänge je zwei Bitleitungen 1a, 1b angeschlossen sind. Senkrecht zu den Bitleitungen verlaufen die Wortleitungen 2, zwischen denen halbkreisförmige Umrisse der tieferliegenden Grabenkondensatoren 25 erkennbar sind. In Höhe der Wortleitungen 2 erstrecken sich die Kontaktstrukturen 3, die eine über der Zeichenebene verlaufende Bitleitung mit einem gemeinsamen Source/Drain-Dotiergebiet zweier in Bitleitungsrichtung benachbarter Speicherzellen bzw. Auswahltransistoren verbinden. Das aktive Gebiet der zwei Auswahltransistoren ist mit dem Doppelpfeil 17 angedeutet. Die aktiven Gebiete bilden ein diagonales Raster entsprechend dem Raster der dargestellten Bitleitungskontakte oder Kontaktstrukturen 3. Beim Ausle-

sen einer Speicherzelle wird die zugeordnete Bitleitung aktiviert und mit der benachbarten Bitleitung am gemeinsamen Signalverstärker ausgelesen. Die aktivierte Bitleitung ist über den Bitleitungskontakt mit der aktivierten Wortleitung parasitär gekoppelt, welche zum Auslesen der entsprechenden Speicherzelle ebenfalls geöffnet wurde. Dadurch entsteht eine parasitäre Kapazität, wie beispielsweise im Kreuzungspunkt der zweiten Wortleitung von links mit dem Bitleitungskontakt der untersten Bitleitung durch das angedeutete Kapazitätssymbol C und das Symbol eines Plattenkondensators dargestellt. Die benachbarte Bitleitung (die zweite Bitleitung von unten) besitzt keine solche parasitäre Kapazität, weshalb die parasitäre Kapazität C an der unteren Bitleitung die elektrische Potentialdifferenz zwischen beiden Bitleitungen verfälscht.

Figur 3 zeigt eine erfindungsgemäße Halbleiterschaltung, bei der zusätzlich zu den Wortleitungen 2 des Zellenfeldes Z zwei zusätzliche Wortleitungen 11 und 12 vorgesehen sind, wobei alle Bitleitungen sich zu wenigstens einer dieser beiden zusätzlichen Wortleitungen 11, 12 erstrecken und wobei jede Bitleitung 1 eine zusätzliche Kontaktstruktur, d.h. einen Blindkontakt 13 benachbart zu einer der beiden zusätzlichen Wortleitungen 11, 12 besitzt, an dem ebenfalls eine parasitäre Kapazität auftritt. Diese Kapazität ist ebenfalls an zwei Bereichen C durch ein Symbol eines Plattenkondensators dargestellt. Die erfindungsgemäße Kompensation zweier parasitärer Kapazitäten erfolgt beim Auslesen der Speicherzelle am Schnittpunkt der zweiten Wortleitung von links mit der untersten Bitleitung dadurch, daß zusätzlich zur zweiten Wortleitung von links die weitere Wortleitung 12 aktiviert wird. Dadurch entsteht an der zweiten Bitleitung von unten, die gemeinsam mit der untersten Bitleitung an demselben Signalverstärker 30 ausgelesen wird, eine parasitäre Kapazität zwischen dem Blindkontakt 13 und der zweiten zusätzlichen Wortleitung 12, welche gleichzeitig mit der zweiten Wortleitung von links aktiviert wird. Die erste zusätzliche Wortleitung 11 wird nicht aktiviert, so daß die an dieser zusätzlichen

Wortleitung 11 dargestellte parasitäre Kapazität nicht auftritt. Somit tritt an beiden einander benachbarten Bitleitungen 1a, 1b jeweils eine parasitäre Kapazität C auf, welche sich im Signalverstärker 30 gegenseitig kompensieren. Rechnerisch bestimmt sich das elektrische Potential einer Bitleitung allgemein nach der Gleichung

$$V_{bl} = (V_c - V_{bleq}) C_c / (C_c + C_{bl}) + V_{wl},$$

wobei  $V_{bl}$  das gemessene Potential der Bitleitung,  $V_c$  das elektrische Potential der Speicherzelle,  $V_{bleq}$  das gemittelte Potential einer Bitleitung zwischen On-Zustand und Off-Zustand (das arithmetische Mittel beider Potentiale),  $C_c$  die Kapazität der Speicherzelle,  $C_{bl}$  die Kapazität der Bitleitung und  $V_{wl}$  die Potentialverschiebung aufgrund der parasitären Kondensators bedeutet. Der letzte Term  $V_{wl}$  führt zur Überlagerung und Störung des zu messenden Bitleitungspotentials. Bei der erfindungsgemäßen Halbleiterschaltung gemäß Figur 3 tritt dieser Term  $V_{wl}$  jedoch auch auf der benachbarten Referenzbitleitung auf, und zwar nicht am Schnittpunkt mit der geöffneten Wortleitung des Zellenfeldes, sondern an der dieser Wortleitung zugeordneten und gleichzeitig aktivierten zusätzlichen Wortleitung 12 und dem benachbarten Blindkontakt 13. Beide Kapazitäten C führen zu gleichen Termen  $V_{wl}$  in der obigen Gleichung, welche sich beim Vergleich beider Bitleitungspotentiale kompensieren. Das im Signalverstärker gemessene Bitleitungspotential der ausgewählten Speicherzelle entspricht somit einem Bitleitungspotential

$$V_{bl} = (V_c - V_{bleq}) C_c / (C_c + C_{bl}).$$

Aufgrund der erfindungsgemäßen Kompensation können die herkömmlichen Spannungsüberhöhungen in der Größenordnung von etwa 300 mV entfallen; der Stromverbrauch der Halbleiterschaltung sinkt.

Die Figuren 4A und 4B zeigen Querschnittansichten des erfindungsgemäßen Halbleiterspeichers aus Figur 3 entlang der Schnittlinien A und B, d.h. entlang der einander benachbarten Bitleitungen 1a und 1b. Figuren 4A und 4B sind gegenüber Figur 3 spiegelverkehrt; das Zellenfeld Z erscheint in diesen Figuren rechts und die jeweilige zusätzliche Wortleitung 11 oder 12 links davon. Abstände und Größenordnungen sind ebenso wie in Figur 3 nicht maßstäblich. Insbesondere treten parasitäre Kapazitäten für jede Bitleitung nur an einer der beiden zusätzlichen Wortleitungen 11 oder 12 auf.

In Figur 4A ist zum Auslesen der rechten Speicherzelle 20 die mit 2 bezeichnete Wortleitung des rechten Auswahltransistors 15 auf "high" geschaltet; ebenfalls ist die Bitleitung 1a aus Figur 3 aktiviert und bildet über den Bitleitungskontakt 3 an dem Seitenwandoxid 4 einen parasitären Kondensator aus. Links vom Zellenfeld Z ist im Randbereich nur die zweite zusätzliche Wortleitung 12 abgebildet, die gleichzeitig mit der in Figur 4A abgebildeten rechten Wortleitung 2 aktiviert wird und daher als einzige der beiden zusätzlichen Wortleitungen 11, 12 eine weitere oder mehrere weitere parasitäre Kapazitäten ausbilden kann. Jedoch besitzen die Bitleitungen 1a neben der zusätzlichen Wortleitung 12 keinen weiteren Bitleitungskontakt oder Blindkontakt 13, so daß sich nur die parasitäre Kapazität am Seitenwandoxid 4 auf das Potential der Bitleitung 1a am Signalverstärkereingang auswirkt.

Figur 4B zeigt einen Schnitt entlang der benachbarten Bitleitung 1b, wobei ebenfalls wieder, und zwar zur gleichen Zeit wie in Figur 4A, sowohl die rechte Wortleitung 2 als auch die zweite zusätzliche Wortleitung 12 aktiviert sind. Die Referenzbitleitung 1b besitzt keinen Bitleitungskontakt benachbart zur rechten Wortleitung 2. Sie besitzt jedoch einen Blindkontakt 13 an der aktivierten Wortleitung 12, wodurch an dessen Seitenwandoxid 14 eine weitere parasitäre Kapazität entsteht. Diese beeinflußt das Bitleitungspotential der Referenzbitleitung 1b in gleicher Weise wie die parasitäre Kapa-

zität am Seitenwandoxid 4 in Figur 4A das Bitleitungspotential der aktivierten Bitleitung 1a; beide Kapazitäten kompensieren sich gegenseitig und ergeben das gewünschte, korrigierte Meßergebnis für das Bitleitungspotential.

5

Die erfindungsgemäß ausgebildete Halbleiterschaltung ermöglicht somit ein zuverlässigeres Auslesen von in den Speicherkondensatoren gespeicherten digitalen Informationen und deren zuverlässige Bewertung als entweder digitale Null oder digitale Eins. Die durch die Blindkontakte geschaffenen zusätzlichen parasitären Kapazitäten verändern das elektrische Potential der jeweiligen Referenzbitleitung am Signalverstärker in gleicher Weise wie die parasitären Kapazitäten aktivierter Bitleitungen, wodurch das gemessene Differenzpotential um die parasitären Effekten korrigiert ist.

10

15

## Bezugszeichenliste

	1, 1a, 1b	Bitleitungen
	2, 2a, 2b	Wortleitungen
5	3	Kontaktstruktur (Bitleitungskontakt)
	4	Seitenwandisolation
	5	Halbleitersubstrat
	6	gemeinsames Source/Drain-Gebiet
	7	grabenseitiges Source/Drain-Gebiet
10	10	Halbleiterschaltung
	11	erste zusätzliche Wortleitung
	12	zweite zusätzliche Wortleitung
	13	zusätzliche Kontaktstruktur (Blindkontakt)
	14	Seitenwandisolation einer zusätzlichen Wort-
15		leitung
	15	Auswahltransistor
	16	Gateoxid
	17	Doppelpfeil
	20	Speicherzelle
20	25	Speicherkondensator
	30	Signalverstärker
	35	Grabenisolation
	C	parasitäre Kapazität
	E1, E2, E3	Ebenen
5	R	Randbereich
	Z	Zellenbereich

## Patentansprüche

1. Integrierte Halbleiterschaltung (10) mit einem Zellenfeld (Z) mit einer Vielzahl von Speicherzellen (20), die jeweils einen Auswahltransistor (15) und einen Speicherkondensator (25) aufweisen und durch Bitleitungen (1) und Wortleitungen (2) elektrisch ansteuerbar sind,

- wobei die Speicherkondensatoren (25), die Bitleitungen (1) und die Wortleitungen (2) in verschiedenen Ebenen (E1, E2, E3) auf oder in einem Halbleitersubstrat (15) angeordnet sind,

- wobei in Höhe der Wortleitungen (2) elektrische Kontaktstrukturen (3) angeordnet sind, die die Bitleitungen (1) mit den Auswahltransistoren (15) der Speicherzellen (20) elektrisch verbinden,

- wobei die Kontaktstrukturen (3) an den Wortleitungen (2) vorbeiführen und gegenüber den Wortleitungen (2) durch seitliche Isolierungen (4) isoliert sind, und

- wobei jeweils mindestens zwei Bitleitungen (1) an einen gemeinsamen Signalverstärker (30) angeschlossen sind,

d a d u r c h g e k e n n z e i c h n e t, daß

- mindestens eine erste (11) und eine zweite zusätzliche Wortleitung (12) vorgesehen sind, die nicht zum Ansteuern von Auswahltransistoren einsetzbar sind,

- daß jede Bitleitung (1) sich bis zur ersten (11) oder zweiten zusätzlichen Wortleitung (12) erstreckt und mit einer zusätzlichen Kontaktstruktur (13) verbunden ist, die seitlich an einer der beiden zusätzlichen Wortleitungen (11, 12) vorbeiführt und einen Blindkontakt darstellt, und

- daß je zwei Bitleitungen (1a, 1b), deren zusätzliche Kontaktstrukturen (13) an verschiedenen zusätzlichen Wortleitungen (11, 12) vorbeiführen, an denselben Signalverstärker (30) angeschlossen sind.

2. Halbleiterschaltung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

je zwei einander benachbarte Bitleitungen (1a, 1b) an denselben Signalverstärker (30) angeschlossen sind.

3. Halbleiterschaltung nach Anspruch 1 oder 2,

5 d a d u r c h g e k e n n z e i c h n e t, daß  
die zusätzlichen Kontaktstrukturen (13) einander nächstbenachbarter Bitleitungen (1a, 1b) abwechselnd an der ersten zusätzlichen Wortleitung (11) und an der zweiten zusätzlichen Wortleitung (12) vorbeiführen.

10

4. Halbleiterschaltung nach einem der Ansprüche 1 bis 3,

d a d u r c h g e k e n n z e i c h n e t, daß  
jede der beiden zusätzlichen Wortleitungen (11; 12) gemeinsam mit einer beliebigen Wortleitung (2b; 2a) aktivierbar ist, an  
15 welcher Kontaktstrukturen (3) ausschließlich derjenigen Bitleitungen (1b; 1a) vorbeiführen, die keine an der jeweiligen zusätzlichen Wortleitung (11; 12) vorbeiführende zusätzliche Kontaktstruktur (13) besitzen.

20 5. Halbleiterschaltung nach einem der Ansprüche 1 bis 4,

d a d u r c h g e k e n n z e i c h n e t, daß  
die Speicherkondensatoren (25) in dem Halbleitersubstrat (5) angeordnete Grabenkondensatoren sind und daß die Bitleitungen (1) in einem größeren Abstand von dem Halbleitersubstrat (5)  
auf dem Halbleitersubstrat (5) angeordnet sind als die Wortleitungen (2).

6. Halbleiterschaltung nach einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t, daß  
30 die zusätzlichen Kontaktstrukturen (13), die an den zusätzlichen Wortleitungen (11, 12) vorbeiführen, auf einer Grabenisolation (35) des Halbleitersubstrats (5) enden, wohingegen die Kontaktstrukturen (3) der übrigen Wortleitungen (2) jeweils in ein gemeinsames Dotiergebiet (6) zweier Auswahltransistoren (15a, 15b) münden.  
35

7. Halbleiterschaltung nach einem der Ansprüche 1 bis 6,



d a d u r c h g e k e n n z e i c h n e t, daß  
die erste (11) und die zweite zusätzliche Wortleitung (12)  
nebeneinander an einem Rand (R) des Zellenfeldes (Z) angeord-  
net sind.

5

8. Halbleiterschaltung nach einem der Ansprüche 1 bis 7,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Auswahltransistoren (15) Feldeffekttransistoren sind, de-  
ren Gate-Elektroden durch die Wortleitungen (2) gebildet  
sind.

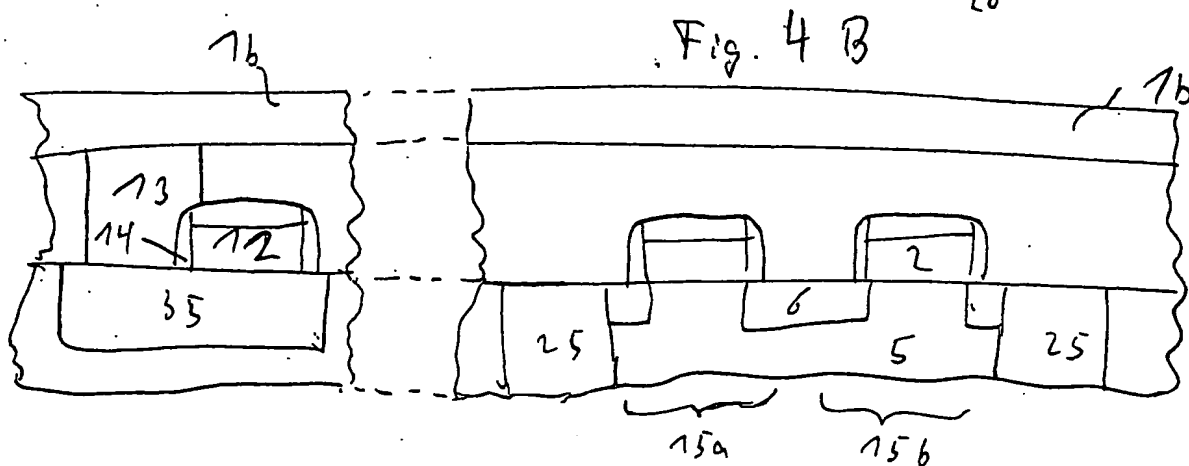
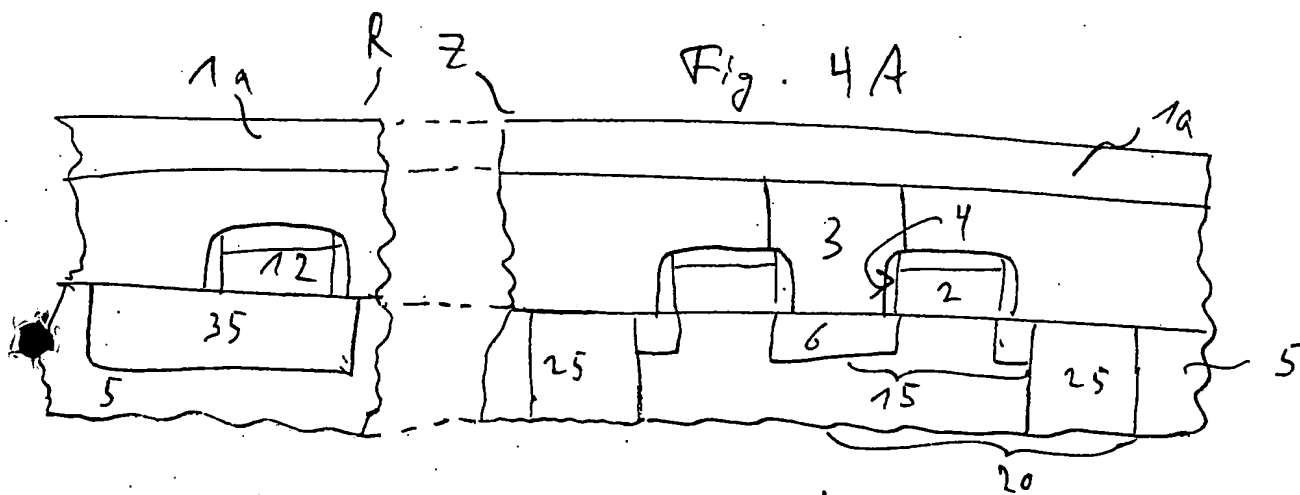
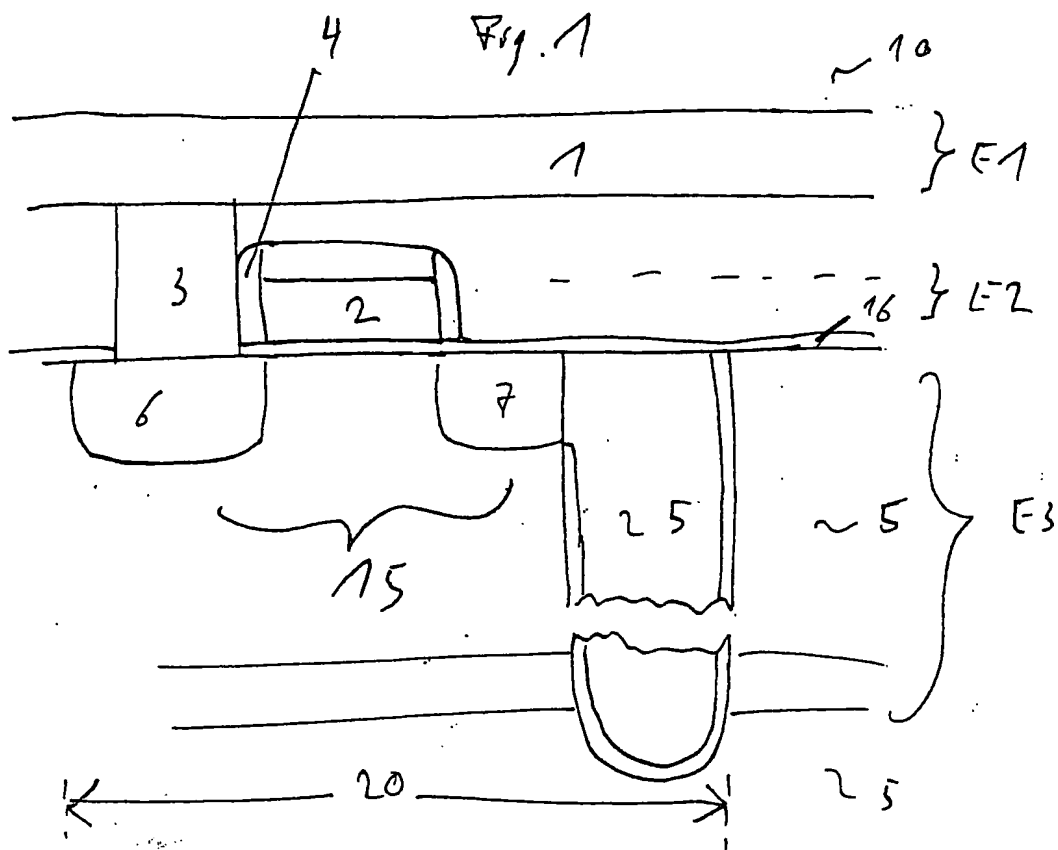
- 10

9. Halbleiterschaltung nach einem der Ansprüche 1 bis 8,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die seitlichen Isolierungen (4) zwischen den Kontaktstruktu-  
ren (3) und den Wortleitungen (2) Seitenwandbedeckungen  
strukturierter Gate-Schichtenstapel sind.

15

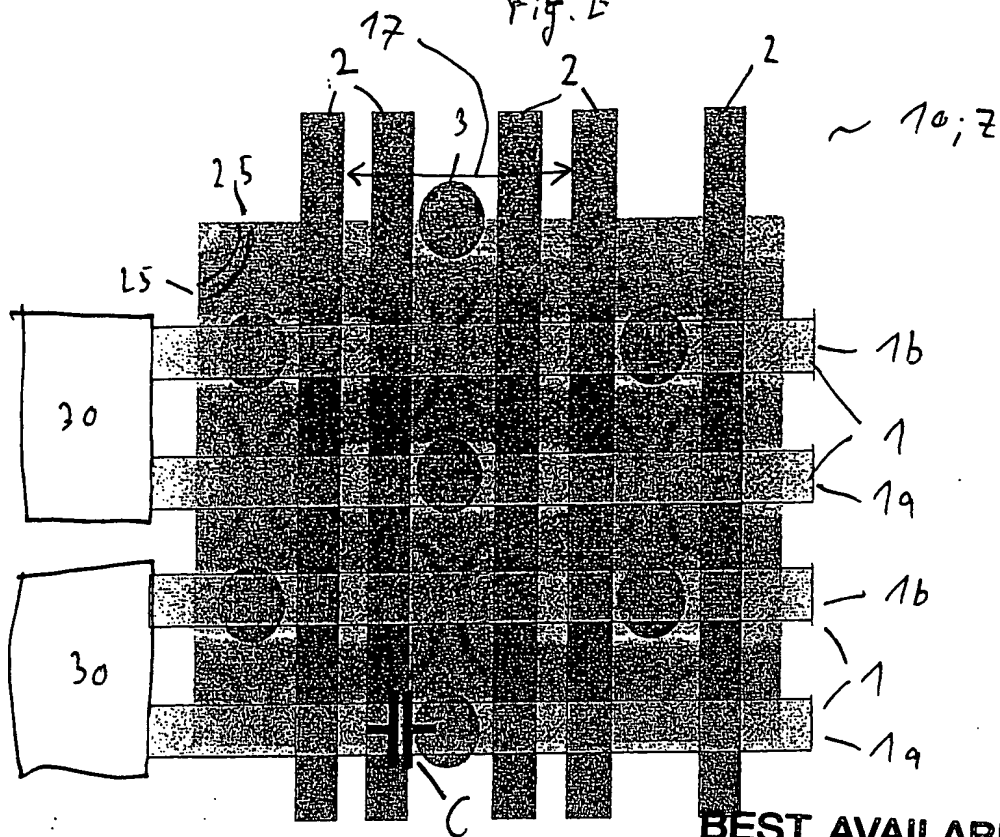
10. Halbleiterschaltung nach einem der Ansprüche 1 bis 9,  
d a d u r c h g e k e n n z e i c h n e t, daß  
die Halbleiterschaltung ein dynamischer Schreib-Lese-Speicher  
ist.

20

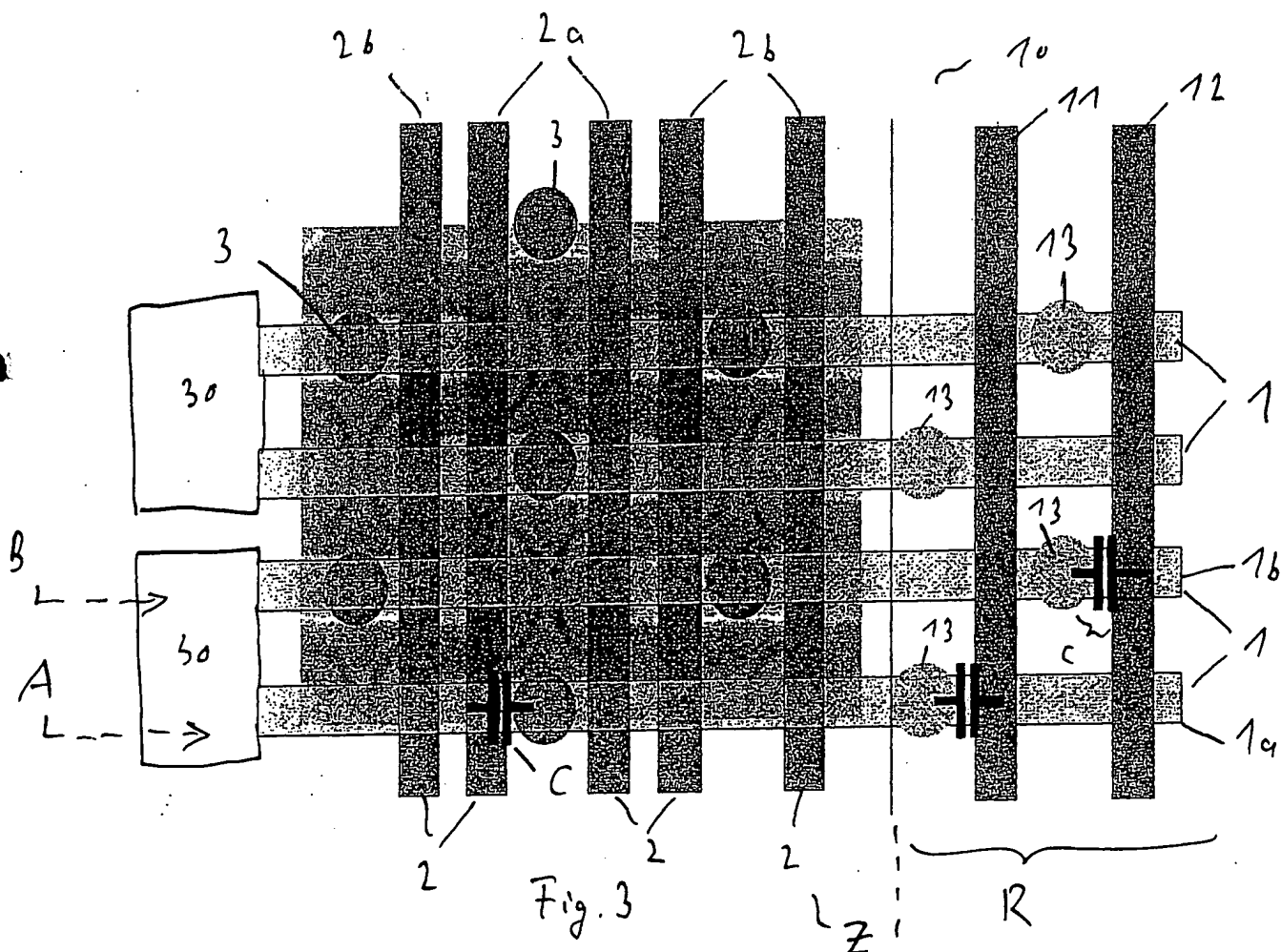


212

Fig. 2



BEST AVAILABLE COPY




## Zusammenfassung

Integrierte Halbleiterschaltung mit einem Zellenfeld mit einer Vielzahl von Speicherzellen

5

Die Erfindung betrifft eine integrierte Halbleiterschaltung (10) mit einem Zellenfeld (Z) mit durch Wortleitungen (2) und Bitleitungen (1) auslesbaren Speicherzellen. Je zwei Bitleitungen (1a, 1b) sind an Eingänge desselben Signalverstärkers (30) angeschlossen. Um parasitäre Kapazitäten (C), die an dünnen Seitenwandisolationen zwischen den strukturierten Wortleitungen (2) und benachbarten Bitleitungskontakten (3) entstehen, welche die höhergelegenen Bitleitungen (1) mit den tiefergelegenen aktiven Gebieten verbinden, zu kompensieren, sind erfindungsgemäß zwei zusätzliche Wortleitungen (11, 12) vorgesehen sowie an diesen zusätzlichen Wortleitungen (11, 12) vorbeiführende Blindkontakte (13) der Bitleitungen (1). Die durch die Blindkontakte (13) geschaffenen zusätzlichen parasitären Kapazitäten verändern das elektrische Potential der jeweiligen Referenzbitleitung (1b) am Signalverstärker (30) in gleicher Weise wie die parasitären Kapazitäten aktivierter Bitleitungen (1a), wodurch das gemessene Differenzpotential um die parasitären Effekten korrigiert ist.

 Figur 3